

Descripción en Verilog

`timescale 1ns / 1ps

//////////////////////////////////////////////////////////////////////////////////

// Module Name: Máquina de Estados (Puerta TIA)

//////////////////////////////////////////////////////////////////////////////////

module FSM\_TIA(

input clk,

input reset,

input Sm,

input Sf,

output reg [2:0] salidas // E, P, A

);

localparam [2:0]

reposo = 3'b000,

encenderE = 3'b001,

apagarE = 3'b010,

alarma = 3'b011,

Abrir = 3'b100;

reg [2:0] Q;

reg [2:0] D;

/\* Registro de Estado \*/

always @(posedge clk)

if (reset) begin

Q <= reposo;

end else begin

Q <= D;

end

/\*Logica del Estado siguiente\*/

always @(Q,Sm,Sf)

begin

case (Q)

reposo:

if (Sm & Sf)

D = encenderE;

else

D = reposo;

encenderE:

if (Sm & Sf)

D = encenderE;

else if (Sm & !Sf)

D = apagarE;

else

D = alarma;

apagarE :

if (Sm & !Sf)

D = apagarE;

else if (!Sm & !Sf)

D = Abrir;

else

D = alarma;

alarma :

D = alarma;

Abrir :

D = reposo;

default:

D = reposo;

endcase

end

/\*Logica de salida\*/

always @(Q)

begin

case (Q)

reposo: salidas = 3'b000;

encenderE: salidas = 3'b100;

apagarE: salidas = 3'b000;

alarma: salidas = 3'b001;

Abrir: salidas = 3'b010;

default: salidas = 3'b000;

endcase

end

endmodule

**Archivo de Simulación.**

`timescale 1ns / 1ps

////////////////////////////////////////////////////////////////

// Module Name: Simulacion\_TIA

////////////////////////////////////////////////////////////////

module Simulacion\_TIA();

//Entradas a simular, tipo REG, valor inicial igual a cero

reg clk, reset, Sm, Sf;

// Salidas

wire [2:0] salidas;

FSM\_TIA U0 (

.clk(clk),

.reset(reset),

.Sm(Sm),

.Sf(Sf),

.salidas(salidas)

);

parameter PERIOD = 10;

always begin

clk = 1'b0;

#(PERIOD/2) clk = 1'b1;

#(PERIOD/2);

end

initial

begin

// Valores iniciales

reset = 1'b0;

Sm = 1'b0;

Sf = 1'b0;

// Reset inicial

reset = 1'b1;

#30;

reset = 1'b0;

#20

// Estímulos de la simulación

Sm = 1'b1;

#40

Sf = 1'b1;

#50

Sf = 1'b0;

#30

Sm = 1'b0;

end

endmodule